

UV-나노임프린트 리소그래피

최근, 나노임프린트공정기술이 차세대 리소그래피 공정의 하나로 인식되면서 이기술을 이용한 나노패턴의 제작과 활용에 대해서 국내외 대학 및 연구소에서 많은 관심을 가지고 연구결과들을 발표하고 있다. 나노임프린트는 크게 보면, 열을 이용한 hot embossing기술과 UV를 이용한 UV-NIL로 나눌 수 있는데 전자의 경우 공정이 쉽고 장비가격이 저렴한 장점이있는 반면에 공정시간이 길거나 고압이 필요한 단점이 있다.

본고에서는 상온저압에서 대면적의 패터닝을 할 수 있는 UV-NIL 공정기술을 이용한 대면적의 패턴 제조에 관하여 소개하고자 한다. 본고는 나노 메카트로닉스 사업단의 나노 임프린트공정팀의 “물리학과 첨단기술” 10월호 (2004) (저자: 정준호, 이응숙)를 기초로 하여 작성되었다.

나노임프린트 리소그래피(Nanoimprint lithography, NIL) 기술은 경제적이고도 효과적으로 나노구조물을 제작할 수 있는기술로, 나노구조물(nanostructure)이 각인된 스탬프(stamp)를기재(substrate) 위에 스펀코팅(spin-coating) 또는 디스펜싱(dispensing)된 레지스트(resist)의 표면에 눌러 나노구조물을 전사하는 기술이다. 2003년 international technology roadmapfor semiconductors(ITRS)에는 NIL기술이 신규로 추가되었는데 이는 extreme ultraviolet lithography(EUV), mask-less lithography (ML2)와 더불어 차세대 리소그래피로서의 가능성을 인정받았음을 의미한다.

NIL공정은 1995년 프린스턴대학의 Chou 교수[1,2]가 최초로 제안했다. Chou 교수가 제안한 NIL에서는 나노크기의 패턴이 부조(요철)형태로 형성된 스탬프로 poly(methylmethacrylate) (PMMA) 재질의 레지스트가 코팅되어 있는 기판 표면을 유리전이온도 이상의 고온조건인 140-180oC에서 고압으로 누른 후 100oC 이하로 냉각시켜 분리하게 된다. 이에 따라 레지스트에는 스탬프의 나노패턴이 반대형상으로 전사되고, 이방성 에칭작업을 거쳐 레지스트 표면에서 눌러진 부분 즉, 잔여층 (residual layer)을 제거한다. 이어, Ti와 Au를 기재 전체 면적에 고르게 증착한 후 리프트 오프(lift-off) 공정을 통해 PMMA와 PMMA 위에 증착된 Ti와 Au층을 제거한다. Chou 교수는 이 공정을 사용하여 10 nm 지름의 원형 금속 점 배열을 구현하는데 성공했다.

NIL 기술은 크게 가열식(thermal-type) NIL과 ultraviolet (UV) NIL로 나눌 수가 있는데, 앞에서 언급한 Chou 교수가 개발한 NIL은 가열식-NIL에 속한다고 할 수 있다. 이 가열식-NIL기술은

다층화작업이 필수적인 반도체 디바이스 제작에 있어, 열변형에 의해 다층정렬이 어렵다는 단점을 갖고 있다.

그리고, 정도가 큰 레지스트를 임프린트하기 위해서는 고압 (10-30 bar 정도)이 필요하기 때문에 기 제작된 하단의 나노 구조물을 파손시킬 소지가 있고, 불투명한 스탬프는 다층화 정렬작업에 불리하게 작용한다.

이에 반하여, UV-NIL은 1996년 Haisma 등[3]에 의하여 최초로 제안되었는데, PMMA와 같은 열가소성 재질을 사용하는 가열식-NIL과 달리 저점성 광경화성 수지와 이를 경화하기 위해 UV를 사용하는 것이 특징이다. 따라서 UV-NIL은 상온 저압공정이 가능하여 다층화공정 및 대량생산에 적합하다는 장점을 갖고 있다. 본 고에서는 UV-NIL기술의 기본 원리 및 최근의 연구동향에 대해 살펴보도록 하겠다.

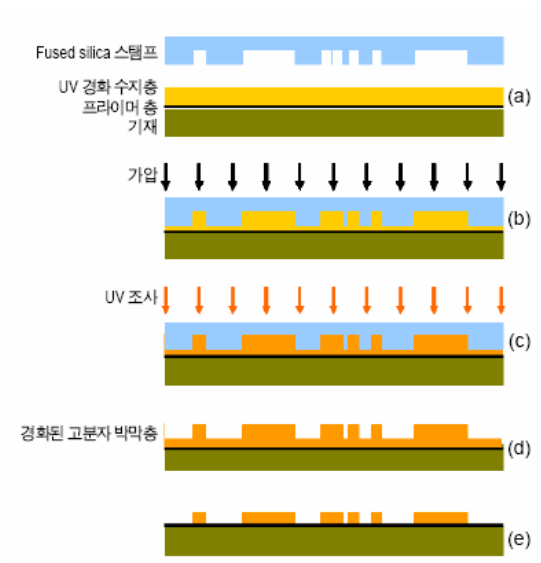


그림 1. Mold-assisted lithography의 개념도. 점착방지막이 처리되어 있는 fused silica 스탬프와 프라이머(primer)층과 UV 경화 수지층이 있는 웨이퍼 (a). 진공 환경에서 스탬프를 기압하여 수지가 스탬프의 음각 구조물을 모두 채우게 함 (b). UV를 조사하여 수지를 경화시킨 (c). 스탬프를 분리한 후 패턴 사이에 존재하는 잔여층 (d). 에칭을 거쳐 잔여층을 제거한 고분자 마스크 (e).

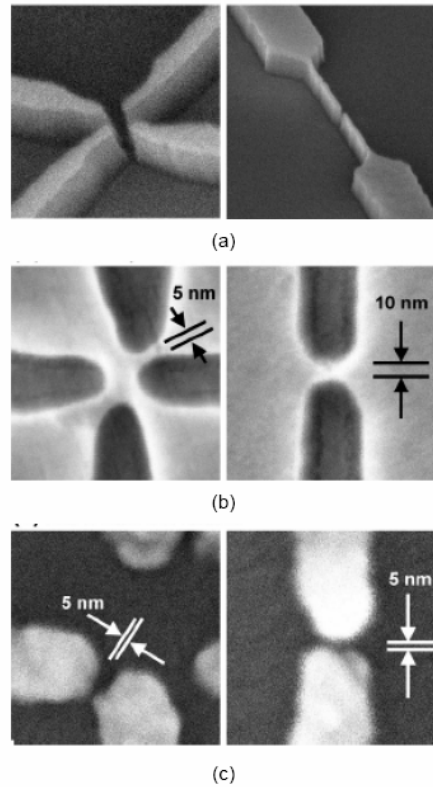


그림 2. P-NIL로 구현된 5 nm급 나노구조물의 SEM 이미지. SiO₂ 스탬프의 구조물 (a), 임프린트된 5 nm급 구조물 (b), 레지스트의 리프트 오프 공정으로 구현된 Au 구조물 (c).

몰드-어시스티드 리소그래피 (Mold-Assisted Lithography, MAL)

한국기계연구원 최대근 (Choi, Dae-Geun)

앞에서도 언급한 바와 같이 MAL은 1996년 Haisma 등[3]에 의하여 제안되었으며 그의 기본 원리는 그림 1과 같다. 먼저 나노구조물이 각인된 투명재질의 용융 실리카(fused silica) 스탬프를 제작하고 점착방지막을 처리한다. 그리고 프라이머 (primer)층을 형성하고 광경화 수지를 기재 위에 도포한 후 제작한 스탬프를 누르면서 300 - 400 nm 파장의 자외선을 조사하여 광경화수지를 경화시키게 된다. 최종적으로 임프린트된 고분자 박막에 RIE(Reactive Ion Etching)공정을 거쳐 나노구조물이 기재에 전사된다. 실제 실험에서는 나노구조물이 각인된 용융 실리카 스탬프를 사용하지 않고 실리콘 (silicon) 스탬프와 용융 실리카 기재를 사용하여 실험을 하였으며 진공 가압 프린터(vacuum contact printer)를 사용하여 가압력은 0.1 bar, 가압시간은 25 s 조건에서 실험을 하였다.

본 연구에서 지적한 MAL의 문제점은 잔여층(residual layer) 두께의 불균일성이었다. 4 in. 웨이퍼를 사용했을 때 500 nm 이상의 잔여층 불균일도(non-uniformity)를 보였고, 이를 해결하기 위하여 3 cm 크기의 스탬프를 사용했을 경우는 50 nm 보다 작은 불균일도를 보였다고 밝혔다. 따라서 작은 스탬프를 사용하여 반복적으로 임프린트를 수행하는 공정 즉 스텝-앤-리피트(step-and-repeat)가 대면적 공정에서 불균일도를 감소시킬 수 있는 방안이라고 제시한 바 있다.

유럽에서 UV-NIL에 대한 연구는 주로 Bender와 Otto 등[4]에 의하여 이루어졌으며, 2004년에는 4인치 웨이퍼 위에 수지를 대략 200 nm 두께로 스펀코팅한 후 스텝-앤-리피트 방식을 사용해서 임프린트한 결과를 발표했다.[5] 이 연구에서는 마이크로 크기의 패턴이 각인된 1 × 1 cm² 스탬프를 사용했으며 4인치 웨이퍼에 대해 37번의 임프린트를 수행하여 50nm급 잔류두께를 얻는데 성공했다.

Chou 교수는 주로 가열식 NIL 개발에 주력하여 오다가 최근 들어 photocurable nanoimprint lithography(P-NIL)을 제안하였다.[6] 이 P-NIL의 특징은 100 cp 정도의 광경화 수지를 100 nm 두께로 스펀코팅한 후 molecular-beam epitaxy(MBE) 로 제작한 GaAs와 SiO₂ 재질의 스탬프와 수정 기재를 사용하여 임프린트를 수행했으며 전달층으로 PMMA를 사용했다는 것이다. 이 연구에서 Chou 교수는 그림 2에서와 같이 5nm의 나노구조물을 임프린트하는데 성공하였는데, 이는 UV-NIL기술이 sub-10 nm 구조물 제작에 활용될 수 있음을 확인시켜 주는 결과라고 판단된다.

스텝-앤-플래시 임프린트 리소그래피

(Step-and-Flash Imprint Lithography, SFIL)

한국기계연구원 최대근 (Choi, Dae-Geun)

텍사스 오스틴 대학의 Sreenivasan 교수 등은 1999년에 Step & Flash Imprint Lithography(SFIL) 공정기술을 제안했다.[7,8] 초기에 제안한 SFIL공정에서는 먼저 전달층(transfer layer)이 실리콘 기판 위에 스펀코팅 된다. 이어 UV투과성 스탬프가 전달층과 일정간격이 유지된 상태에서 저 점성 UV경화수지를 표면장력에 의하여 안으로 충전되도록 한다. 충전이 완료된 시점에서 스탬프를 가압하고 UV를 조사하여 경화시킨 후, 스탬프를 분리하게 된다. 이러한 작업을 반복하여 웨이퍼 전체에 대해 임프린트를 완료한 후 에칭과정과 리프트 오프(lift-off)과정을 거쳐 나노구조물을 기판에 전사한다.

SFIL은 1-4 cp 정도의 저 점도(viscosity) 수지를 사용하고 있기 때문에 1인치 영역에 대해 20 N 정도의 저압으로 임프린트가 가능하다. 또한, 임프린트된 레지스트층과 평탄화층에 대한 2단계 에칭과정을 통하여 잔여층 불균일에 의한 에칭결함을 상당히 감소시킬 수 있다. SFIL용 스탬프는 포토마스크용 수정 원판으로 제작하며 6인치 원판으로부터 4개의 스탬프를 제작할 수 있다. 대기압 분위기에 이루어지는 SFIL은 초기 액적의 위치를 최적화하여 임프린트 후 내부에 공기가 함입되지 않도록 한다. 이에 따라 초기에 액적형태였던 수지가 퍼져 sub-100 nm의 잔여 박막을 형성하는데 150 s 정도의 가압과정이 필요하다.

그림 4은 SFIL 공정 장비인 IMPRIO100를 사용하여 임프린트한 결과를 보여주고 있다. IMPRIO100은 8인치 웨이퍼에 대한 SFIL공정과 다층화를 위한 정렬작업이 가능한 장비이다.

그림 4는 임프린트된 sub-50 nm선폭 구조물의 단면을 보여주고 있다. 현재 IMPRIO100로 구현이 되는 전형적인 잔여층 두께는 60 - 70 nm이며 균일도는 30 nm (3 σ) 정도이다.

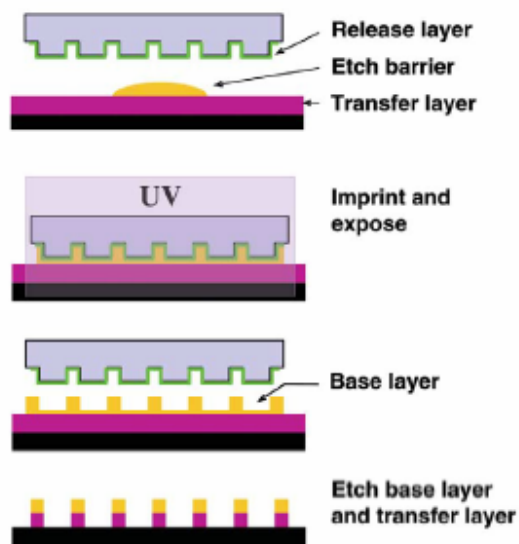


그림 3. SFIL 공정 개략도

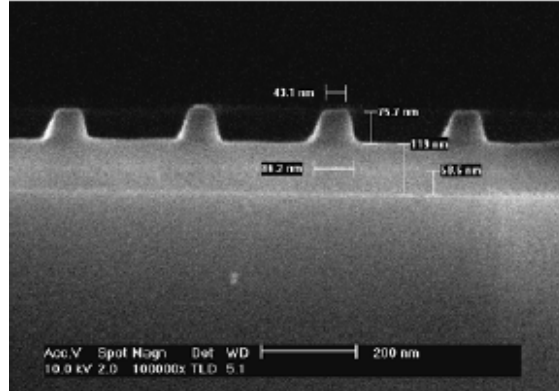


그림 4. SFIL 공정에 의한 임프린트 결과 (50 nm 선폭이미지)

EPS 활용 UV-나노임프린트 리소그래피

(UV-nanoimprint lithography using anelementwise patterned stamp (EPS))

UV-NIL공정에서 생산성을 확보하기 위한 가장 효과적인 방법은 스탬프를 대면적화 하는 것이다. 대기환경에서 대면적스탬프를 사용하면 공기포획 결함이 발생하게 되는데 이를 제거하기 위해서는 MAL과 같이 진공환경을 만들어야 한다. 그러나, 이러한 진공분위기를 위해서는 반드시 진공장치가 필요하고 진공환경에 적합한 수지를 사용해야만 한다. 이러한 문제점을 해결하고자 KIMM에서는 저진공 환경 또는 대기압 환경에서 사용할 수 있는 대면적 EPS(Elementwise Patterned Stamp)를 사용한 UV-NIL공정기술을 제안하였다.[9,10] 이 EPS는 나노패턴이 각인되어 있는 단위요소(element)들 간에 채널(channel)이 존재하여 임프린트 시 요소영역에 있던 공기가 요소영역 밖으로 밀려 나갈 수가 있다. 따라서, 대기압 및 저진공 환경에서 대면적 스탬프를 사용할 시 발생하는 공기포획 결함을 방지할 수 있다. 또한, EPS는 스탬프와 임프린트된 고분자 박막간의 분리를 용이하게 해주는 장점을 갖고 있다. 고수율, 대면적 패턴제작을 위해서 EPS(Elemented Patterned Stamp)을 이용한 공정기술로서 현재는 국내에서는 최고수준인 약 50nm급의 패턴공정이 이와 같은 방법으로 효과적으로 제작됨을 보고하였다.[9-11].

한국기계연구원 최대근 (Choi, Dae-Geun)

맺음말

NIL기술이 2003년도 ITRS에 차세대 리소그래피 기술 중에 하나로 추가된 것은, NIL이 10 nm급 선폭을 용이하게 구현 할 수 있으면서도 EUV를 포함한 다른 차세대 리소그래피들에 비하여 공정 및 장비에 소요되는 비용을 획기적으로 줄일 수 있기 때문이다. 현재 국내외 다수의 대학과 연구기관들이 경쟁적으로 NIL 기술을 연구하고 있으며, 2년 전부터 몇몇 회사들은 독특한 NIL 공정 및 장비를 개발하여 판매하고 있다. 지금까지 개발된 UV-NIL 장비로는 오스트리아 EVGroup 사의 EVG620-NIL, Chou 교수가 관여하는 Nanonex사의 model 2000, 3000, 그리고 스웨덴의 Suss Microtec 장비, Sreenivasan 교수가 개발한 SFIL 공정을 장비화한 MI사의 IMPRIO 50, 100 등이 있다. 또한, 2003년에는 국내에도 NIL 장비회사인 NND사가 설립되어 독자적으로 장비를 개발하여 판매하고 있다.

UV-NIL 기술은 초고속 나노급 Metal-Semiconductor Field-Effect Transistors(MESFETs), 고밀도 자기저장장치, 고밀도 Compact Disk (CD), 나노급 Metal-Semiconductor-Metal photodetectors (MSM PDs)와 light emitter, 초고속 Single-electron transistor memory, RF 소자, 바이오센서 등에 적용될 것으로 기대되고 있으며 현재 적용기술 관련 연구가 활발히 진행되고 있다.

지금까지 개발된 NIL 공정 및 장비들이 양산에 적용되기 위해서는 극복되어야 할 여러 기술적 한계가 존재하나, 새롭고 다양한 시도가 꾸준히 이루어진다면 근시일 내에 대표 나노제조공정으로 폭넓게 활용될 수 있을 것으로 기대된다.

참 고 문 헌

- [1] S.Y. Chou, P.R. Krauss, and P.J. Renstrom, Appl. Phys. Lett. **67**, 3114 (1995).
- [2] S.Y. Chou, P.R. Krauss, and P.J. Renstrom, J. Vac. Sci. Technol. B **14**(6), 4129 (1996).
- [3] J. Haisma, M. Verheijen, and K. Heuvel, J. Vac. Sci. Technol. B **14**(6), 4124 (1996).
- [4] M. Bender, M. Otto, B. Hadam, B. Spangenberg, and H. Kurz, Microelectron. Eng. **61-62**, 407 (2002).
- [5] M. Otto, M. Bender, F. Richter, B. Hadam, T. Kliem, R. Jede, B. Spangenberg, and H. Kurz, Microelectronics Eng., in press (2004).
- [6] M. D. Austin, H. Ge, W. Wu, M. Li, Z. Yu, D. Wasserman, S.A. Lyon, and S.Y. Chou, Appl. Phys. Lett. **84**, 5299 (2004).
- [7] M. Colburn, S. Johnson, M. Stewart, S. Damle, T. Bailey, B. Choi, M. Wedlake, T. Michaelson, S.V. Sreenivasan, J. Ekerdt, and C.G. Wilson, in SPIE's 24th International Symposium on Microlithography: Emerging Lithographic Technologies III, Santa Clara, CA, **3676**(I), 379 (1999).
- [8] S.V. Sreenivasan, in ASME International Conference on Integrated Nanosystems, Sept. 18-20, Berkeley, USA, 2002.
- [9] J. H. Jeong, Y. S. Sim, H. K. Sohn, and E. S. Lee, Microelectron. Eng. **75**(2), 165 (2004).
- [10] 심영석, 정준호, 손현기, 신영재, 이응숙, 최성욱, 김재호, 한국진공학회 **13**(1), 39 (2004).
- [11] 최대근, 정준호, 이응숙, 심영석, 신영재, 손현기, 2004 KICChE Fall Meeting, (2004).